

Publication number : JP 62-154759

Date of Publication of application : July 09, 1987

Application number : JP 60-294105

Date of filing : December 27, 1985

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Abstract:

PURPOSE: To improve the step coverage of a surface protecting film, to improve the moisture resistance of an electrode wiring and to make it possible to apply devices to multilayer interconnection, by forming the electrode wiring in two layers of a high-melting-point metal layer and a low-melting-point layer, and rounding the corners of the upper low-melting-point metal layer.

CONSTITUTION: An insulating layer 12 is formed on the main surface of a semiconductor substrate 11, on which a semiconductor element is formed. A high-melting-point metal layer 13 is formed on the layer 12. A low-melting-point metal layer 14 is formed on the surface of the layer 13. Then the high-melting-point metal layer 13 and the low-melting-point metal layer 14 are etched in accordance with a wiring pattern and an electrode wiring 15 is formed. Thereafter, heat treatment is performed so as to round the corners of the surface of the low-melting-point metal layer 14 corresponding to the upper part of the electrode wiring 15. An insulating film 17 is formed on the electrode wiring 15, whose corners are rounded, and on the surface of the insulating layer 12. As a material for said high-melting-point metal layer 13, e.g., Mo, W, Ta, Ti or the like or silicide thereof is used. As a material for the low-melting-point metal layer 14, e.g., Al, Al-Si, Al-Cu, Al-Ti or the like is used. The temperature of said heat treatment is set in the vicinity of the melting point of temperature of the low-melting-point material, e.g., at 500W600°C for Al-Si.

PATENT ABSTRACTS OF JAPAN

(11) Publication number :

62-154759

(43) Date of publication of application : 09. 07. 1987

(51) Int. Cl.

H01L 21/88

(21) Application number : 60-294105 (71) Applicant : NIPPON DENSO CO LTD

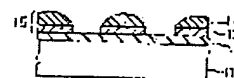
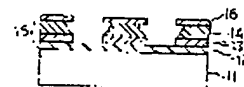
(22) Date of filing : 27. 12. 1985 (72) Inventor : KUBOKOYA RYOICHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57) Abstract:

PURPOSE: To improve the step coverage of a surface protecting film, to improve the moisture resistance of an electrode wiring and to make it possible to apply devices to multilayer interconnection, by forming the electrode wiring in two layers of a high-melting-point metal layer and a low-melting-point layer, and rounding the corners of the upper low-melting-point metal layer.

CONSTITUTION: An insulating layer 12 is formed on the main surface of a semiconductor substrate 11, on which a semiconductor element is formed. A high-melting-point metal layer 13 is formed on the layer 12. A low-melting-point metal layer 14 is formed on the surface of the layer 13. Then the high-melting-point metal layer 13 and the low-melting-point metal layer 14 are etched in accordance with a wiring pattern and an electrode wiring 15 is formed. Thereafter, heat treatment is performed so as to round the corners of the surface of the low-melting-point metal layer 14 corresponding to the upper part of the electrode wiring 15. An insulating film 17 is formed on the electrode wiring 15, whose corners are rounded, and on the surface of the insulating layer 12. As a material for said high-melting-point metal layer 13, e.g., Mo, W, Ta, Ti or the like or silicide thereof is used. As a material for the low-melting-point metal layer 14, e.g., Al, Al-Si, Al-Cu, Al-Ti or the like is used. The temperature of said heat treatment is set in the vicinity of the melting point of temperature of the low-melting-point material, e.g., at 500W600° C for Al-Si.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-154759

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)7月9日

H 01 L 21/88

6708-5F

審査請求 未請求 発明の数 2 (全4頁)

⑮ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 昭60-294105

⑰ 出 願 昭60(1985)12月27日

⑱ 発 明 者 窪 小 谷 良 一 刈谷市昭和町1丁目1番地 日本電装株式会社内

⑲ 出 願 人 日本電装株式会社 刈谷市昭和町1丁目1番地

⑳ 代 理 人 弁理士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

(1) 半導体素子を形成した半導体基板の主表面上に形成された絶縁層上に、高融点金属層を形成する工程と、

上記高融点金属層の表面上に低融点金属層を形成する工程と、

上記高融点金属層および低融点金属層を配線パターンに従ってエッチングして電極配線を形成する工程と、

上記電極配線の上部にあたる低融点金属層の表面の角を丸める熱処理工程とを具備し、

上記角を丸めた電極配線の表面および絶縁層の表面に絶縁膜を形成するようにしたことを特徴とする半導体装置の製造方法。

(2) 半導体素子を形成した半導体基板と、

この半導体基板の主表面に形成される絶縁層と、この絶縁層の配線部に形成される高融点金属から成る第1の電極配線と、

この第1の電極配線の上面に形成される低融点金属から成る第2の電極配線とを具備し、

熱処理によって、上記第2の電極配線の角を丸く形成し、この第2の電極配線の上に絶縁膜が形成されていることを特徴とする半導体装置。

3. 発明の詳細な説明

[産業上の利用分野]

この発明は、特に電極配線の形成工程を改良した半導体装置及びその製造方法に関する。

[背景技術]

従来の半導体装置の電極配線の形成方法は、例えば所定の電気的活性層が形成された半導体基板の主表面上に絶縁体層を設け、そしてこの絶縁体層の上に電極配線材料を例えばスパッタ法等により堆積し、電極配線層を形成する。次に、この電

電極配線の上にレジストフィルムをのせ、電極配線層を選択的に露光し、例えばドライエッチング等により、不要部分のエッチングを行ない電極配線パターンを形成する。そして、この電極配線パターンが形成された後は、その上に例えばP-SiN、CVD-PSG、スパッタSiO₂等を表面保護膜として形成している。

しかしながら、上記のように電極配線パターンを形成する場合、現在集積度をあげるためドライエッチングによって電極配線層をエッチングしている。このため、形成される各電極配線の角が尖ってしまい、この上に表面保護膜を形成すると電極配線の角の部分で肉薄になる。したがって、表面保護膜のステップカバレッジが悪くなり、段差部でくびれが生じ、表面保護膜にクラックが入りやすくなり、電極配線の腐蝕等の耐湿性の問題が生じてくる。また、このままの状態でも層配線を行なうと、層を重ねるたびに表面の凸凹が激しくなり、このため新層する確率が高くなるものである。

理を行なう。この場合、上記リフロー温度を低融点金属材料の融点温度前後に設定することにより、低融点金属層のみを溶融し、その角が丸くなるようにする。

〔作用〕

上記のようにして構成される電極配線にあっては、その表面の角が丸みを帯びた状態となるため、その上に表面保護膜を形成した場合、電極配線の角で肉薄状態にならない。このため、ステップカバレッジのよい表面保護膜が形成できるものである。

〔発明の実施例〕

以下図面を参照してこの発明の一実施例を説明する。第1図乃至第4図は、半導体装置の電極配線型における断面構造図である。まず、第1図に示すように、例えば予めトランジスタ等を形成した半導体基板11の主表面上の絶縁層12上に、例えばCVD法、スパッタ蒸着法、電子ビーム法等に

〔発明が解決しようとする問題点〕

この発明は上記のような点に基きなされたもので、表面保護膜のステップカバレッジを向上させることによる電極配線の耐湿性の向上と、多層配線の適用を可能とするような半導体装置及びその製造方法を提供するものである。

〔問題点を解決するための手段〕

すなわち、この発明に係わる半導体装置の製造法にあっては、まず予め半導体素子を形成した導体基板の主表面上に形成された絶縁層の上に、高融点金属層を形成し、さらにその上に低融点金属層を形成して、半導体基板上に形成される電極配線層を二層にして構成する。このようにして、二層からなる電極配線層を形成した後、その上にいわゆるフォトリソグラフィーによりレジストパターンを形成し、これをマスクとして上記高融点金属層および低融点金属層を選択的にエッチングし所定の電極配線パターンを形成する。そして、レジストを剥去し、有効なリフロー温度にて、熱処

より、高融点金属層13を形成する。なお、この高融点金属材料には例えばMo、W、Ta、Ti等及びそれらのシリサイドがある。そして、この高融点金属層13を形成した後は、その形成面上にスパッタ蒸着法、電子ビーム法等により、低融点金属層14を形成する。なお、この低融点金属材料には例えばAl、Al-Si、Al-Cu、Al-Ti、Al-Si-Cu、Al-Si-Ti等がある。また、上記高融点金属材料および低融点金属材料からなる薄膜を形成する際、両者とも同じ手段により、連続的に高融点金属層13および低融点金属層14を形成してもよい。

次に、上記低融点金属層14の形成面上にいわゆるフォトリソグラフィーによりレジストパターン16を形成する。そして、このレジスト16のパターンをマスクとして第2図に示すように、先ず低融点金属層14をウェットエッチングによってエッチングし、次に高融点金属層13をドライエッチングによってエッチングする。なお、低融点金属層14および高融点金属層13を同時にウェットエッチン

グもしくはドライエッチングによってエッチングしてもよい。

このようにして、低融点金属層14および高融点金属層13のエッチングを行ない電極配線部15のパターンが形成された後は、上記レジストフィルム16を除去し、有効なリフロー温度にて熱処理を行なう。このリフロー温度は、低融点金属材料の融点温度前後、例えばAl-Siでは500℃～600℃に設定する。

すなわち、上記温度において熱処理を行なうと、高融点金属層13が溶融する前に、低融点金属層14が溶融する。このため、第3図に示すように、高融点金属層13上に、溶けて丸みをおびた低融点金属層14が形成されることになる。

この場合、上記高融点金属層13は、上記リフロー温度が高融点金属材料の融点温度以下であるため、エッチング後のままの状態を保持される。そして、リフローされる低融点金属層14は、その下部にあたる高融点金属層13が、形を崩さず存在しているため、表面張力を利用することにより、下

部にはみだすことなく第3図に示す如く形成できる。

なお、ここで上記電極配線部15を低融点金属材料からなる薄膜のみで形成すると、熱処理工程において、下地素子へのダメージがあるものであり、したがって上記のように電極配線15の下部を高融点金属層13で形成すれば、電極配線の端部をエッチング後のままに保持でき、配線間の短絡を防ぐことができる。

このようにして、電極配線部15を形成した後は、その上に表面保護膜材料、例えばP-SiN、CVD-PSG等で、表面保護膜17を第4図に示すように形成し完了する。ここで、上記第3図に示したように電極配線部15の角が丸くなっているため、電極配線部に表面保護膜材料からなる薄膜を形成した際のステップカバレッジが良くなり、このため形成される表面保護膜17の表面は、比較的平坦になり、高集積かつ高耐湿な半導体装置となる。更に、この構造により多層配線への適用が可能となる。

なお、多層配線への適用に際しては、例えば上記高融点金属層13および低融点金属層14の膜厚を薄くし、電極配線15の段差を小さくするか、あるいはリフロー温度を調整して、低融点金属層14のリフロー形状を変化させて、効果的に行なうことができる。

[発明の効果]

以上のようにこの発明によれば、電極配線を高融点金属層と低融点金属層の二層にして形成し、そして上段にあたる低融点金属層の表面の角を丸めることにより、歩留率を下げることなく表面保護膜のステップカバレッジが改善でき、このため半導体装置の耐湿性も向上する。また、この構造により電極配線を覆う絶縁膜が平坦となり、多層配線への適用も可能となるものである。

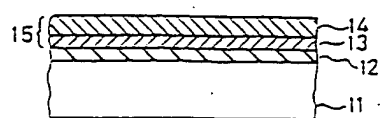
4. 図面の簡単な説明

第1乃至第4図は、それぞれこの発明の一実施例に係わる製造工程を説明するための電極配線部

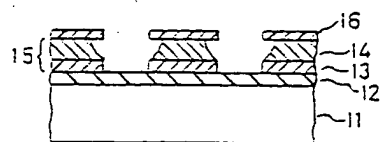
における半導体装置の断面構造図である。

11…半導体基板、12…絶縁層、13…高融点金属層、14…低融点金属層、15…電極配線部、16…レジスト、17…表面保護膜。

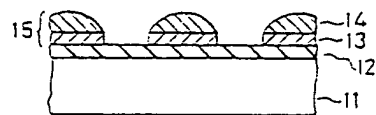
出願人代理人 弁理士 佐江 武彦



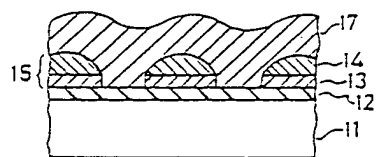
第 1 図



第 2 図



第 3 図



第 4 図